

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-325204
 (43)Date of publication of application : 22.11.2001

(51)Int.Cl.

G06F 13/12
 G06F 3/06
 G06F 3/08
 G06F 13/38
 G11B 20/10

(21)Application number : 2000-149799

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.05.2000

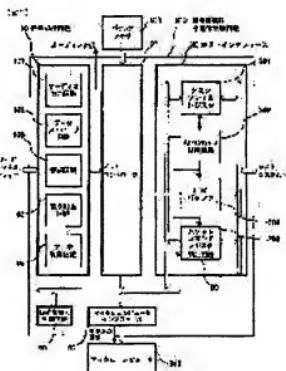
(72)Inventor : MITSUISHI NAOMIKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND OPTICAL DISK DRIVE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate a processing instructed by a command.

SOLUTION: This circuit is provided with a judgment circuit (60) for judging a part for specifying an operation in the command and a control circuit (302) for controlling data transfer based on the judged result. Judgment in the judgment circuit is the judgment by hardware different from a microcomputer and is completed in shorter time than the judgment by the microcomputer. Also, by performing the judgment in the judgment circuit by the hardware different from the microcomputer, the loads of the microcomputer are reduced. Thus, the processing instructed by the command is accelerated.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-325204

(P2001-325204A)

(43)公開日 平成13年11月22日(2001.11.22)

(51) Int.Cl. ¹	識別記号	F I	F II	テレコード(参考)
G 06 F 13/12	3 3 0	G 06 F 13/12	3 3 0 A	5 B 0 1 4
3/06	3 0 2	3/06	3 0 2 A	5 B 0 6 5
3/08		3/08	F	5 B 0 7 7
13/38	3 1 0	13/38	3 1 0 A	5 D 0 4 4
G 11 B 20/10		G 11 B 20/10	D	

審査請求 未請求 前求項の数 5 O L (全 15 頁)

(21)出願番号	特願2000-149799(P2000-149799)	(71)出願人	000005108
(22)出願日	平成12年5月17日(2000.5.17)	株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地	

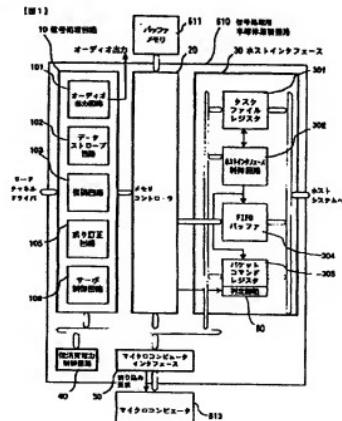
(72)発明者 三ッ石 直幹
東京都小平市上木本町五丁目20番1号 株式会社日立製作所半導体グループ内
(74)代理人 100089071
弁理士 玉村 静世
F ターム(参考) S0014 E005 G006 G007 G022 G023
G025 G026
S0065 BA03 CD08 CE13 CE14 CH01
S0077 AA04 D008 DD17 D021
S0044 BC03 CD04 FG10 FG24 HL02
HL11

(54)【発明の名称】 半導体集積回路及び光ディスクドライブ装置

(57)【要約】

【課題】 コマンドによって指示された処理の高速化を図る。

【解決手段】 コマンドにおける動作を指定する部分の判定を行う判定回路(60)、この判定結果に基づいてデータ転送制御を行う制御回路(302)を設ける。上記判定回路での判定はマイクロコンピュータとは別のハードウェアによる判定であり、上記マイクロコンピュータでの判定よりも短時間で完了する。また、上記判定回路での判定を、上記マイクロコンピュータとは別のハードウェアで行うことで、上記マイクロコンピュータの負荷を軽減することができる。これにより、コマンドによって指示された処理の高速化を図る。



【特許請求の範囲】

【請求項1】 信号を処理するための信号処理回路と、ホストシステムとの間で信号のやり取りを可能にするホストインターフェースと、上記信号処理回路及び上記ホストインターフェースの動作制御を司るマイクロコンピュータとの間で信号のやり取りを可能にするマイクロコンピュータインターフェースとを備え、上記ホストインターフェースは、上記ホストシステムから伝達されるコマンドを記憶するパケットコマンドレジスタと、上記コマンドにおける動作を指定する部分を判定する判定回路と、上記判定回路での判定結果に基づいてデータ転送制御を行う制御回路と、を含んで成ることを特徴とする半導体集積回路。

【請求項2】 上記判定回路は、所定のオペレーションコード情報を保持するための比較レジスタと、上記パケットコマンドレジスタから出力されたパケットコマンドにおけるオペレーションコードが、上記比較レジスタの保持情報と一致するか否かを比較するための比較回路と、を含んで成る請求項1記載の半導体集積回路。

【請求項3】 上記比較回路の比較結果に対応して上記マイクロコンピュータに対する複数の割り込み要因フラグを記憶するためのレジスタを備えた請求項2記載の半導体集積回路。

【請求項4】 上記マイクロコンピュータによって読み出し可能であって、上記比較結果を保持可能なレジスタを含む請求項2又は3記載の半導体集積回路。

【請求項5】 光ディスクの記憶情報を検出するためのピックアップと、上記ピックアップを介して上記光ディスクの記憶情報を読み出すためのリードチャネルと、上記光ディスクからの情報読み出しに必要な駆動信号を生成するとともに、上記リードチャネルの出力信号を処理するための信号処理手段と、を含む光ディスクドライブ装置であって、上記信号処理手段は、請求項1乃至4の何れか1項記載の半導体集積回路とされて成ることを特徴とする光ディスクドライブ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、信号処理用の半導体集積回路に関し、例えばCD-ROM(コンパクトディスク・リードオンリメモリ)ドライブ、あるいは、DVD-ROM(デジタルバーサタイルディスク・リードオンリメモリ)ドライブなどの光ディスクドライブ装置に適用して有効な技術に関する。

【0002】

【従来の技術】 パーソナルコンピュータシステムなどに搭載される記憶装置として、CD-ROM、あるいは、DVD-ROMドライブが用いられる。

【0003】 CD-ROMやDVD-ROMドライブのホストインターフェースとして、例えば、平成8年3月に(株)トライエップス社から発行された「ATA/ATAPIインターフェース技術」に記載のATAPIインターフェースが知られている。このインターフェースには、タスクファイルレジスタなどのように、ホスト及びマイクロコンピュータの双方からリード又はライト可能なレジスターが含まれている。

【0004】 上記CD-ROMドライブの読み出し速度が標準速から32倍速以上にまで向上されており、DVD-ROMドライブについても、読み出し速度の向上が望まれている。この読み出し速度の高速化には、上記信号処理の高速化に加えて、全体の制御を司る、システムコントロール用マイクロコンピュータを高速化したり、負荷を軽減したりする必要がある。

【0005】

【発明が解決しようとする課題】 例えば、ATAPIなどのホストインターフェースからは、12バイトのパケットコマンドによって、光ディスクのリードが指示される。すると、制御用のマイクロコンピュータは、先ず、パケットコマンドが入力されたことを割り込みによって検出し、そして割り込み要因フラグなどをリードして、この割り込み要因の判定を行う。例えば、以下の通りである。

【0006】

B T S T . B	# 0 , R O L
B E Q	L 0

すなわち、汎用レジスタR0Lに、リードした割り込み要因フラグレジスタのビットがセットされているか否かを判別し、もしそれがセットされていれば、所定の処理ループL0に分岐する。これが所定ビット数分繰り返される。

【0007】 割り込み要因の判定によって、パケットコマンド受信割り込みを確認すると、パケットコマンドが格納されているFIFO(先入れ先出し)バッファなどをリードする。リードしたパケットコマンドの第1バイトであるオペレーションコードを判定する。かかる判定は、以下のように比較命令と条件分岐命令によって行われる。

40 【0008】

C M P . B	# O P I , R O H
B E Q	L 1

すなわち、汎用レジスタR0Hに格納されたオペレーションコードと、イミディエイトデータOP1(例えば、リードコマンドの場合は、「A8」と)が比較され、それらが一致していれば、所定の処理ループL1に分岐される。これが、想定されるオペレーションコード分岐り返される。この判定の繰り返しのうち、先頭の方で比較されるオペレーションコードの方が高速に実行可能であることは言うまでもない。従って、当該システムにお

いて、高速化すべきものの順に比較が行われる。

【0009】また、条件分岐命令の分岐アドレスは、当該条件分岐命令の存在するアドレスを基準にして生成され、相対値は符号付き16ビット乃至8ビットとされることが多い。このため、所望の処理に直接分岐できず、上記処理ルーチン1に、さらに分岐命令が配置されることも考えられる。この場合は処理時間が増大する。

【0010】判定したオペレーションコードの処理ルーチンの中では、コマンドに即した処理が行われる。例えば、リードコマンドの場合、指定されたデータが、バッファメモリに読み出し済みであるか否かが判別され、読み出し済みであれば、当該データが、ホストインターフェースから出力されし、読み出しが行わされていない場合には、光ディスクからのデータ再生が行われる。
10

【0011】ところで、上記のようにATAPIなどのホストインターフェースからは、12バイトのパケットコマンドによって光ディスクのリードが指示されるが、このコマンド発行から所望データが実際に得られるまでの時間を短縮するには、上記パケットコマンドによって指示された処理を高速に行う必要がある。

【0012】しかしながら、本願発明者の検討によれば、上記の処理を制御用のマイクロコンピュータによって行うこととは、当該マイクロコンピュータの負荷が重すぎて処理に時間がかかることが見いだされた。

【0013】本発明の目的は、コマンドによって指示された処理の高速化を図ることにある。

【0014】本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】すなわち、信号を処理するための信号処理回路と、ホストシステムとの間で信号のやり取りを可能にするホストインターフェースと、上記信号処理回路及び上記ホストインターフェースの動作制御を司るマイクロコンピュータとの間で信号のやり取りを可能にするマイクロコンピュータインターフェースとを備えて半導体集積回路が構成されるとき、上記ホストシステムから伝達されるコマンドを記憶するコマンドレジスタと、上記コマンドにおける動作を指定する部分を判定する判定回路と、上記判定回路での判定結果に基づいてデータ転送制御を行なう制御回路とを含んで、上記ホストインターフェースを構成する。更に、半導体集積回路には、信号処理結果を格納するメモリを制御する手段を設けることができる。上記判定回路には転送すべきデータが前記半導体集積回路が制御するメモリに存在することを検出する手段を含めることができる。また、上記判定回路には、更に、転送すべきデータの論理的なアドレスと、前記半導体集積

回路が制御する物理的なアドレスとの対応をつける手段を含めることができる。

【0017】上記の手段によれば、上記判定回路は、上記コマンドにおける動作を指定する部分を判定し、上記制御手段は、上記判定回路での判定結果に基づいてデータ転送制御を行う。上記判定回路での判定は、上記マイクロコンピュータとは別のハードウェアによる判定であり、上記マイクロコンピュータでの判定よりも短時間で完了する。また、上記判定回路での判定は、上記マイクロコンピュータとは別のハードウェアで行なうことで、上記マイクロコンピュータの負荷を軽減する。このことが、コマンドによって指示された処理の高速化を達成する。

【0018】このとき、上記判定回路を容易に実現するには、所定のオペレーションコード情報を保持するための比較レジスタと、上記パケットコマンドレジスタから出力されたパケットコマンドにおけるオペレーションコードが、上記比較レジスタの保持情報と一致するか否かを比較するための比較回路とを含んで構成するといよい。

20 【0019】また、上記比較回路の比較結果に対応して上記マイクロコンピュータに対する複数の割り込み要因フラグを記憶するためのレジスタを設けることができる。

【0020】さらに、上記マイクロコンピュータによって読み出し可能であって、上記比較結果を保持可能なレジスタを設けることができる。かかるレジスタには分岐アドレスに利用可能な情報を保持するといよい。

【0021】そして、光ディスクの記憶情報を検出するためのピックアップと、上記ピックアップを介して上記光ディスクの記憶情報を読み出すためのリードチャネルと、上記光ディスクからの情報読み出しに必要な駆動信号を生成するとともに、上記リードチャネルの出力信号を処理するための信号処理手段とを含んで光ディスクドライブ装置が構成されるとき、上記信号処理手段として、上記半導体集積回路を適用することができる。

【0022】

【発明の実施の形態】図2には、本発明にかかる光ディスクドライブ装置の構成例が示される。

【0023】601はCD又はDVDなどの光ディスクであり、この光ディスク601はスピンドルモータ602の回転駆動によって所定の速度で回転される。603はドライバであり、このドライバ603は、上記スピンドルモータを駆動する。604はピックアップであり、このピックアップ604は、回転する上記光ディスク601から記憶情報を読み取る。607は、リードチャネルであり、このリードチャネル607は、上記ピックアップ601の読み取り情報を増幅するアンプを含む。605はアクチュエータモータであり、このアクチュエータモータ605は、上記ピックアップ604の位置を移動させる。608はドライバであり、このドライバ60

8は、上記アクチュエータモータ605を駆動する。606はスレッドモータであり、このスレッドモータ606は、上記ピックアップ604とアクチュエータモータ605とをスライドさせる。609はドライバであり、このドライバ609は、上記スレッドモータ606を駆動する。610は信号処理用半導体集積回路であり、この信号処理用半導体集積回路610は、上記光ディスク601から読み出された信号を処理したり、上記ドライバ603、608、609を制御する機能を有する。611はパッファメモリであり、このパッファメモリ611は、リードチャネル607を介して取り込まれたデータを格納することによって、データのパッフアリングを行う。613はマイクロコンピュータであり、このマイクロコンピュータ613は、この光ディスクドライブ装置600の全体的な動作制御を司る。

【0024】信号処理用半導体集積回路610は、光ディスク601のサーボ制御に用いられ、トラッキングエラー信号(T E)や、フォーカスエラー信号(F E)などをサーボ用A/D変換器で検出して、サーボ用D/A変換器でアクチュエータモータ605、スレッドモータ606などの制御を行ふとともに、読み出したデータを復調及び復号化し、ホストインターフェースを介して、パーソナルコンピュータなどのホストシステムへ、復調及び復号化したデータを出力する。

【0025】光ディスク601の記憶情報は、ピックアップによって読み取られる。ピックアップ604は、発光素子(レーザダイオード)によってレーザ出力をを行い、光ディスク604からの反射光を受光素子(フォトダイオード)で検出す。ピックアップ604の位置は、アクチュエータモータ605と、スレッドモータ606によって制御される。ピックアップ604から出力された信号は、リードチャネル607で増幅された後に、デジタル信号に変換される。マイクロコンピュータ613は、シリアルコミュニケーションインターフェースSCI及び出入力ポートIOPを介してリードチャネル607の動作を制御する。

【0026】アクチュエータモータ605に対しては、サーボ用D/A変換器の出力(S V D A)で、ドライバ608を介して制御する。アクチュエータモータ605は2軸分を備え、光ディスク604に垂直方向のフォーカス制御と、半径方向のトラッキング制御を行ふため、サーボ用D/A出力を2本用いる。検出信号と基準信号との誤差が検出され、それに基づいて、スピンドルモータ602の制御が行われる。

【0027】信号処理用半導体集積回路610に内蔵されるホストインターフェースは、特に制限されないが、上記A T A P Iインターフェースが採用される場合には、エンハンスドIDEバスなどのバスを介して、パーソナルコンピュータなどのホストシステムと接続され、コマンド及びパケットコマンドなどの取り込みが可能とされ

る。マイクロコンピュータ613は、上記コマンド及びパケットコマンドを読み出して解析し、それに基づく所定の動作制御、例えばステータスなどの表示と、データの入出力などを行う。また、信号処理用半導体集積回路610に内蔵されるタスクファイルレジスタのリード又はライトを検出して、低消費電力状態を解除したりする。

【0028】光ディスク601がCDの場合、ピックアップ604で読み出された信号は、リードチャネル607で増幅された後、デジタル波形に整形される。この出力(D I N)は、本信号処理用半導体集積回路610の復調回路で、デジタル復調されてからデインタリープされることで、その配列が元に戻され、エラーチェックや補間が実施される。読み出された信号がデータの場合には、さらにデスクランブルされて誤り訂正などが行われ、パッファメモリ611に蓄えられた後、本信号処理用半導体集積回路610内のホストインターフェースから出力される。光ディスク601から読み出された信号がオーディオデータの場合には、それがパッファメモリに蓄えられた後、本信号処理用半導体集積回路610内のオーディオ用D/A変換器でアナログ信号に変換され、後段のアンプ612で増幅された後にヘッドフォン駆動用のオーディオ信号として出力される。また、デジタルオーディオデータの出力も可能にされる。

【0029】光ディスク601がDVDの場合にも、上記CDの場合と同様に、復調回路及び復号回路で処理が施された後、ホストインターフェースを介して出力される。

【0030】マイクロコンピュータ613は、システムコントロール用であり、所定のレジスタのリード又はライトや、シリアルコミュニケーションインターフェースSCIによるコマンド出力、入出力ポートIOPからの出力などによって、各部の動作を制御する。

【0031】また、光ディスク601を駆動するためのトレイ(図示せず)に対しては、オーブン/スイッチ信号、クローズ/スイッチ信号などが入出力ポートIOPを介して伝達される。イジェクト/スイッチの操作情報を割り込み要求信号としてマイクロコンピュータ613に入力される。上記トレイを動かすためのローディングモータは、マイクロコンピュータ613に内蔵されているパルス幅変調タマの出力信号PWMによって駆動される。

【0032】さらに、LED(発光ダイオード)616は、入出力ポートIOPの出力信号で駆動され、このドライバが組み込まれるパーソナルコンピュータなどのシステムに適合するように、入出力ポートIOPやアナログ入力によって、オプション選択用の各種設定(O P T)情報615がマイクロコンピュータ613に取り込まれ、シリアルコミュニケーションインターフェースSCIによって評価用のシステム(E Q P)614などの

インターフェースがとられる。

【0033】マイクロコンピュータ613は、上記制御に際して、上記信号処理用半導体集積回路からの割り込み要求信号を取り込み、割り込み（INT）が要求されていると、所定のタイミングで、実行中の処理を中断して、所定の割り込み処理ルーチンに分岐する。いずれの割り込み要因が発生しているかは、ベクタで示されたり、割り込み要因フラグをリードして判定され、その上で例えばコマンド入力完了やタイマのコンバマッチなど、それぞれの割り込み要因に応じた処理が行われる。このように割り込み要因フラグを個別に持つことによって、割り込み要因の判定が容易になる。

【0034】図1には、上記信号処理用半導体集積回路610の構成例が示される。

【0035】信号処理用半導体集積回路610は、特に制限されないが、リードチャネル607から取り込まれる信号の処理、及び各種モータを駆動するためのドライバに供給すべき信号を生成するための信号処理回路10、バッファメモリ611の動作を制御するためのメモリコントローラ20、パーソナルコンピュータなどのホストシステムとのインターフェースを可能とするホストインターフェース30、消費電力の低減を図るために低消費電力制御回路40、マイクロコンピュータ613とのインターフェースを可能とするためのマイクロコンピュータインターフェース50、及び図示されないDVD認証回路などを含んで、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0036】上記信号処理回路10は、特に制限されないが、オーディオ出力回路101、データストローブ回路102、復調回路103、誤り訂正回路105、及びサーボ制御回路106を含んで成る。

【0037】オーディオ出力回路101は、光ディスク601からのオーディオ再生においてアナログオーディオ信号及びデジタルオーディオ信号を出す。

【0038】データストローブ回路102は、入力された信号の2値化処理、クロック抽出処理などをを行う。

【0039】復調回路103は、DVD再生時には、8-16方式の復調を行う。8-16方式の復調は、16ビットの入力を所定の8ビットに変換するものであり、それはテーブル変換によって実現される。さらに必要に応じて、デインタリーフ、シンク検出などが行われ、復調されたデータは、メモリコントローラ20を介してバッファメモリ611へブロック単位又はセクタ単位で順次書き込まれる。このときブロック単位又はセクタ単位にアドレス情報が付加される。CD再生時には、図示されないCDオーディオ復調回路や、CD-ROMのシンク検出回路、デスクランブル及びヘッダの検出回路などが使用される。

【0040】誤り訂正回路105は、バッファメモリ6

10

20

30

40

50

11の記憶データに対して、CD-ROM又はDVDのシンドロームの計算を行い、もしも、誤りがある場合には、その誤り訂正を行った後に、CRC（巡回符号）チェックを行ってデータを得る。誤り訂正の概略処理としては、シンドローム計算、誤りの有無判定、ヨークリッド互除法、チェンサー、誤り数値計算、及び訂正を挙げることができる。シンドローム計算は、一連の入力符号をバッファメモリからリードし、シンドローム多項式の係数を算出する。シンドローム多項式の係数は、すべてゼロである場合は入力符号に誤りがないことになる。誤りがある場合には、最初に、ヨークリッド互除法により、シンドローム多項式から誤り位置多項式と誤り数値多項式が求められ、統いて、誤り位置多項式の根が求められることによって、誤りの位置が求められる。これらを基に、誤りの数値が計算され、その訂正が行われる。

【0041】サーボ制御回路106は、図示されないサーボ用A/D（アナログ/デジタル）変換器、サーボ用D/A（デジタル/アナログ）変換器、及びパルス検出回路を有し、図2に示されるリードチャネル607や、ドライバ603、608、609を介して、光ディスク601やピックアップ604の動作制御を行う。上記リードチャネル607から制御に必要な情報、例えばフォーカスエラー、トラッキングエラーなどの情報がサーボ用A/D変換器によって取り込まれる。これらの情報からサーボ処理が行われる。すなわち、サーボ用D/A変換器の出力信号に基づいて上記アキュチュエータモータ605の回転が制御されることによってピックアップ604のフォーカスとトラッキングが調整される。また、トラッキング調整の低周波成分が抽出され、それのサーボ用D/A変換器出力によってスリープドモータ606の制御が行われる。そして、サーボ制御回路106においては、回転速度が検出され、それをサーボ処理結果についてのサーボ用D/A変換器出力によってスピンドルモータ602の制御が行われる。尚、スピンドルモータ602の制御には、D/A変換器出力に代えてPWM（パルス幅変調）出力を用いることができる。

【0042】メモリコントローラ20は、バッファメモリ611に対する入出力の要求の調停を行うとともにバス制御を行う。また、マイクロコンピュータのCPU（中央処理装置）以外の各入出力要求毎に、バッファメモリ611に対するアドレスポインタを持つている。光ディスク601の論理ブロックアドレスと、バッファメモリ611のアドレスとの対応は、データ再生もしくは誤り訂正におけるバッファメモリ611へのライト時に決定されるようになっている。また、パケットコマンドの所定領域の情報に基づいて、上記アドレス対応の検索が可能となる。この検索結果は、割り込み要求としてマイクロコンピュータインターフェース50を介してマイクロコンピュータ613に伝達される。

【0043】ホストインターフェース30は、タスクファイルレジスタ301、ホストインターフェース制御回路302、FIFO(先入れ先出し)バッファ304、及びパケットコマンドレジスタ305を含み、パーソナルコンピュータなどのホストシステムとインターフェース可能であり、特に制限されないが、ATAPI(ATアタッチメントパケットインターフェース)とされる。ホストインターフェースを介して、コマンドの入力、ステータスの出力とデータの入出力が行われる。

【0044】タスクファイルレジスタ301には、BSYビット、DRQビットを持つステータスレジスタが含まれる。ATAPIにおいて、コマンドはタスクファイルレジスタ301のコマンドレジスタにライトされる。さらに、このコマンドが「AO」のとき、12バイトのパケットコマンドが続くので、これはデータとして入力され、それは所定のパケットコマンドレジスタ305に格納される。コマンドに従って、ホストインターフェース30は、バッファメモリ611と、図示しないホストシステムとの間のデータ転送を行う。この場合、FIFOバッファ304を介して、データの入出力が行われる。

【0045】コマンドが入力されると、BSY=1、DRQ=0となる。データ転送の準備が完了すると、BSY=0、DRQ=1となる。データ転送が終了すると、BSY=1、DRQ=0となった後、タスクファイルにコマンドの実行結果の設定が行われ、BSY=DRQ=0となる。これは次のコマンドを受け付け可能な状態である。

【0046】信号処理用半導体集積回路610にリセット信号が与えられると、当該半導体集積回路610はリセット状態になる。このリセットが解除されると、マイクロコンピュータ613からのリード又はライトが可能な状態になる。この後、マイクロコンピュータ613は初期化を行う。この初期化が終了すると、コマンド入力のための待機状態になる。

【0047】マイクロコンピュータ613は、ホストインターフェース30からのコマンド入力を、割り込みなどを使用して検出する。入力されたコマンドの内容を解説し、それに従って、動作を開始する。再生時には、以下のように動作する。

【0048】マイクロコンピュータ613は、リードチャネル607などに動作を指示とともに、所定のサーボ制御回路106の内部1/Oレジスタなどを設定することによって、フォーカス及びトラッキングサーボ制御を起動する。フォーカスがロックされると、スピンドルモータ制御を起動し、ディスク601を回転させ、さらに、ピックアップ604を所望の位置に移動させる。

【0049】再生時には、ピックアップ604から出力されたデータが、リードチャネル607でデジタル信

号に変換され、それがこの信号処理用半導体集積回路610に入力される。かかるデータは、先ず、復調回路103に入力され、例えばDVDの場合、8-16方式の復調、デインタリーブ、シンクの検出などが順次行われる。所定量のデータが復調されると、メモリコントローラ20に対して入力を要求する。このため、復調回路103は、図示されないが、所定量のバッファを内蔵する。

【0050】メモリコントローラ20は、所定のタイミングで、入力要求を受け付けて、復調されたデータを、復調回路103から、バッファメモリ611へ転送する。このため、バッファメモリ611のアドレスを示すボインタを持つ。それは、マイクロコンピュータ613のアドレス空間上に配置される内部1/Oレジスタとされ、マイクロコンピュータ613によって初期設定されられる。そしてその後はリングバッファとして動作する。

【0051】バッファメモリ611に所定量のデータ(例えばDVDの場合、1ブロック： 182×208 バイト)が蓄積されると、メモリコントローラ20から、読み訂正回路105に動作開始の指示され、読み出しごとにについての誤り訂正処理(復号化)が行われる。D:DVDの場合、リードソロモン横符号の町正が行われる。

【0052】所定のデータのエラー訂正処理が行われると、デコード完了割り込みが発生されて、それがマイクロコンピュータ613に通知される。マイクロコンピュータ613は、所定量のデータの復号化が完了すると、ホストインターフェース30の所定の内部1/Oレジスタなどを設定して、データ出力を指示する。これに従って30ホストインターフェース30は、メモリコントローラ20に出入力要求信号を送出する。メモリコントローラ20は、所定のタイミングで出力要求を受け付けて、バッファメモリ611からFIFOバッファ304を介して、ホストバスへのデータ送出を行なう。ホストインターフェース30上のデータのスループットが適性になるように、FIFOバッファ304の容量が決定される。そして、コマンドの指示が完了するか、次のコマンドが入力されるまで、上記動作が繰り返される。

【0053】低消費電力回路40は、マイクロコンピュータ613による、内部1/Oレジスタの設定などに応じてクロック信号の発生を制御することにより、信号処理用半導体集積回路610を低消費電力状態に遷移させる。この状態は、マイクロコンピュータ613によって内部1/Oレジスタの設定が変更された場合、又はホストインターフェース30へのコマンド入力が検出された場合に解除される。例えば、スタンバイ状態において、ホストインターフェース30への任意のコマンドが入力された場合や、スリープ状態において、ホストインターフェース30へのリセットコマンドなどの特殊コマンドのみが検出された場合にスタンバイ状態が解除される。

【0054】図3には、上記光ディスクドライブ装置600において、ATAPIインターフェースによるデータ転送コマンドが入力された場合の動作の流れが示される。

【0055】先ず、ホストシステムは、タスクファイルレジスタに所定のパラメータを設定し(S0)、AOコマンドをコマンドレジスタにライトし(S1)、信号処理用半導体集積回路がDRQビットを1にセットすると、パケットコマンドをライトする(S2)。パケットコマンドは、所定のパケットコマンドレジスタに格納される。マイクロコンピュータ613は、かかるコマンドをリードして、その内容を解析する(S3)。このコマンドがデータ転送コマンドの場合は以下のようになる。

【0056】要求されたデータが、バッファメモリ611に存在するか否かの判定が行われる(S4)。ホストシステムから要求されたデータがバッファメモリ611に存在しない(ミスヒット)と判断された場合には、データ読み込みのため、光ディスク601の再生が行われる(S5)。

【0057】バッファメモリ611にデータが準備できること、ホストデータ転送の設定(S6)が行われた後、DRQビットを1にセッティングし、データ転送を起動する(S7)。バッファメモリからデータをリードし、それを一時的に FIFOバッファに蓄えてから、ホストインターフェースに出力する。

【0058】尚、上記ステップS4の判定において、要求されたデータがバッファメモリ611に存在する(ヒット)と判断された場合には、上記ステップS5の光ディスクの再生を行うことなしに、上記ステップS6のデータ転送の設定が行われる。

【0059】次に、データ転送が終了したか否かの判定が行われる(S8)。この判定は、データ転送が終了したと判断されるまで繰り返される。このステップS8の判定において、データ転送が終了したと判断された場合には、タスクファイルレジスタにステータスの表示が行われる(S9)。ホストシステムは、ステータスの確認を行う(S10)。

【0060】図4には、割り込みに関係する内部レジスタが示される。

【0061】オペレーションコード指定レジスタ_{opdec0~3}は、4チャネル分あり、それぞれパケットコマンドのオペレーションコードを指定する。デコーダアウト設定レジスタ_{decout0~3}は、デコード結果レジスタに出力する内容を指定する。オペレーションコードが、オペレーションコード指定レジスタ_{opdec0~3}で指定したものと一致すると、対応するデコーダアウト設定レジスタ_{decout0~3}が、デコード結果レジスタ_{decout}に転送される。

【0062】割り込み要因フラグレジスタには、以下のフラグがある。

【0063】パケットコマンド入力完了フラグ_{pktend}は、パケットコマンドの入力が完了した時点でセットされる。

【0064】デコードフラグ_{det0~3}は、パケットコマンド入力完了時に、オペレーションコードが、オペレーションコード指定レジスタ_{opdec0~3}で指定したものと一致すると、対応するフラグがセットされる。そして、パケットコマンドフラグ0は、オペレーションコード指定レジスタ0で指定したオペレーションコードが検出されたときにセットされる。

【0065】デコードフラグ_{detf}は、いずれかのチャネルのオペレーションコード指定レジスタで指定されたオペレーションコードが検出されたときにセットされる。これらのフラグは、上記パケットコマンド入力完了フラグ_{pktend}と同時にセットされるようにする。システムコントロール用のマイクロコンピュータ613が、かかる割り込み要因フラグレジスタをリードしたときに、それぞれのフラグが、相互に矛盾しない状態を示すことができる。これらの他に、割り込みインペーブル比特や、データ転送に関係する割り込み要因フラグなどがある。

【0066】判定すべき割り込み要因フラグが増えると、後の方で判定する割り込み要因フラグほど処理が遅くなるが、後の方で判定する割り込み要因フラグには、必ずしも高速処理が必要でないコマンドもあるので、不都合はない。少なくとも、使用する割り込み要因フラグを少なくすれば、割り込み要因フラグの判定の時間を短縮することができる。

【0067】例えば、リード(10)コマンド(「28」)、リード(12)コマンド(「A8」)は、転送長を示すパケットコマンドのフィールドが異なるのみであるので、割り込み要因を共通にし、その処理も共通化を図ることができる。この場合、リード(10)コマンドの転送長(第8、第9バイト)、リード(12)コマンドの転送長(第7~第10バイト)を格納する共通のパケットコマンドレジスタを設けるようにする。前者の場合、上位2バイトは、0を格納するようにする。さらに、ソフトウェア処理を共通にできる。

【0068】予め、割り込み要因グループの、実質的な処理ルーチン開始アドレスを、上記結果レジスタにライトしておく。これは以下のプログラムを、リセット後に実行するようにする。

【0069】
MOV. L #INTSTARTO, ERO
MOV. W R0, @decout0
また、割り込み例外処理ルーチンの開始時には、以下のプログラムを実行すればよい。

【0070】
MOV. W @decout, R0
50 BEQ default

EXT U . L E R O
J S R @ E R O

尚、適宜、詳細な論理構成や、マイクロコンピュータ613の仕様に応じて、最適化することができる。例えば、プログラムが64kB以下などの場合は、3番目の拡張命令(EXT U命令:上位ビットを0固定する)が必要ない。或いは、de coutのデフォルト値を設定できるようにしておけば、2番目の条件命令(BEQ命令:リードデータが0のとき分岐する)は必要ない。いずれにしても、割り込み要因フラグを逐次判定して、分歧するより高速化できる。

【0071】図5には、データ転送に関する内部レジスタが示される。

【0072】データ転送は、データ転送の方向や、PIOなどのデータ転送モードなどを指定する転送モードレジスタDTMOD、データ単位を指定するブロックサイズレジスタBSZ、バッファメモリ611上の転送開始アドレスを指定する転送開始バッファメモリアドレスレジスタSTAR、転送ブロック数を指定するブロックカウントレジスタBCNTを持つ。転送データワード数は、ブロックサイズレジスタBSZの値と、ブロックカウントレジスタBCNTの値との積で指定される。

【0073】さらに、自動転送モード用として、上記に対応する、転送モードレジスタADTMOD、ブロックサイズレジスタABSZレジスタ、転送開始バッファメモリアドレスレジスタSTAR、ブロックカウントレジスタABCNTが設けられる。これらの保持内容は自動転送開始時に選択される。

【0074】また、バッファメモリ611に格納されているデータの有効データの先頭データと最終データを保持するため、論理ブロックアドレスとバッファメモリアドレスを保持する。これらは対になるようにする。これらはバッファメモリ611上の全てのデータについて持つ必要はなく、予め自動転送開始可能と判断されたデータの論理ブロックアドレスのみを指定すればよい。

【0075】尚、論理ブロックアドレスは、例えば、2048バイト単位で割り振られた、光ディスク上のデータの格納順序である。これは、例えば、CD-ROMの場合、ヘッダに付加されているMSF(分秒フレーム)アドレスから、次式によって求めることができる。

【0076】

【数1】

$LBA = M \times 4500 + S \times 75 + F - 150$

【0077】上式において、「M」は分を示し、「S」は秒を示し、「F」はフレームを示す。「M×4500」や「S×75」は、1フレームが1/75秒とされることに起因する。また、「F-150」は、光ディスク601においてオーディオデータが、0分2秒0フレームから開始されることによる。上式によってLBAを計算し、これを内部I/Oレジスタに格納する。マイクロ

コンピュータ613が、これをリードして、その連続性やエラーの有無などを確認した後に、TOP/ENDを設定するようにしても良い。あるいは、再生時にそれが自動的に設定されるようにしてもよい。この場合は、モードやフォームも併せて記憶しておく。いずれにせよ、上式を実行する演算回路を設け、MSFアドレスを入力して論理ブロックアドレスを得るようにすれば、マイクロコンピュータ613でのソフトウェアの負担を軽減できる。また、論理ブロックアドレスを保持することによって、CD-ROM以外の媒体にも共通に利用可能で

【0078】図6には、上記判定回路600及びホストインターフェース制御回路302の構成例が示される。

【0079】上記判定回路600は、特に制限されないが、第1比較回路61、オペレーションコードデコードレジスタ67(odec0~3)、セレクタ63、デコーカアウト設定レジスタdecout、割り込み要因フラグレジスタintsrを含んで成る。

【0080】上記ホストインターフェース制御回路302は、特に制限されないが、転送制御回路68、先頭論理ブロックアドレスレジスタLBA、転送長レジスタBSIZE、インクリメンタINC、第2比較回路62、有効データ先頭ブロックレジスタTOP、有効データ最終ブロックレジスタEND、有効データ先頭アドレスレジスタTOPAR、有効データ最終アドレスENDAR、

ヘッダLBAレジスタINLBA、ヘッダレジスタHEAD、演算器BMAR、転送モードレジスタADTMOD、ブロックサイズレジスタABSZ、転送開始バッファメモリアドレスレジスタSTAR、ブロックカウントレジスタABCNT、転送モードレジスタDTMOD、ブロックサイズレジスタBSZ、転送開始バッファメモリアドレスレジスタSTAR、ブロックカウントレジスタBCNTを含む。

【0081】パケットコマンドレジスタ305の第1バイトであるオペレーションコード(pkt0)と、オペレーションコードデコードレジスタ67(odec0~3)に設定されたオペレーションコードとが第1比較回路61で比較される。比較回路の一例を示す論理記述が66で示される。この比較により制御信号det0~3

40 3が活性状態になる。例えば、パケットコマンドレジスタ305から出力されたオペレーションコードが、チャネル0で設定したオペレーションコードodec0と一致した場合には、制御信号det0が活性状態になる。

【0082】尚、複数のオペレーションコードに対応して、同一の処理を行なうようにする場合は、オペレーションコードデコードレジスタ67を複数組みにすればよい。例えば、チャネル0のオペレーションコードデコードレジスタをodec0~dの4本とする。この場合、第1比較回路61における論理既述は、次のように

変形される。

[0083]

[数2] $d e t 0 = (p k t 0 == o p d e c 0 a) | (p k t 0 == o p d e c 0 b) | . . | (p k t 0 == o p d e c 0 d)$;

[0084] 制御信号 $d e t 0 \sim 3$ に対応してセレクタ 6 3 による選択動作が制御される。それにより、対応するデコーダアウト設定レジスタ $d e c o u t 0 \sim 3$ が選択され、その結果がデコーダアウトレジスタ $d e c o u t$ に格納される。デコーダアウトレジスタ $d e c o u t$

の記憶情報は、第1比較回路 6 1 の比較結果としてマイクロコンピュータ 6 1 3 から参照可能とされる。上記比較結果によって、例えばリードコマンドなどの所定のコマンドに対しては、指定されたデータのアドレスとバッファメモリ上のデータのドリフト情報を比較したりして、その結果を、さらに異なる割り込み要因フラグのセットや所定レジスタ表示に用いることができる。

[0085] 上記セレクタ 6 3 の一例を示す論理記述が 6 4 で示される。制御信号 $d e t 0 \sim 3$ のいずれも検出されなかつたときは、それに代えて「0」が格納される。

[0086] 一方、いずれかの制御信号の活性状態が検出されると、割り込み要因フラグ $d e t f$ がセットされる。また、制御信号 $d e t 0 \sim 3$ に対応して、割り込み要因フラグレジスタにおける割り込み要因フラグ $d e t f 0 \sim 3$ が割り込み要因フラグセレクタ $i n t s r$ にセットされる。割り込み要因フラグのセット部分の一例を示す論理記述が 6 5 で示される。この論理既述によれば、上記の比較において一致しなければ「1」、「b1」が割り込み要因フラグ $d e t f$ に設定される。図示されないが、割り込み要因フラグは、マイクロコンピュータ 6 1 3 の所定のライト動作などによってクリアされるようになっている。

[0087] 上記同様に、オペレーションコードのデコードが行われる。そしてその結果が、リードコマンドのようなデータ転送の場合には、パケットコマンドに含まれる先頭論理ブロックアドレスがパケットコマンドレジスタの第 2 ~ 5 バイト ($p k t 2 \sim 5$) から出力 (L B A) され、後段のインクリメント $I N C$ でインクリメントされ、第 2 比較回路 6 2 に伝達される。第 2 比較回路 6 2 では、上記インクリメント $I N C$ の出力値と、バッファメモリ 6 1 1 上に配置されているデータの論理ブロックアドレス情報、すなわち、有効データ先頭ブロックレジスタ $T O P$ の値及び有効データ最終ブロックアドレスレジスタ $E N D$ の値との比較が行われる。

[0088] ここで、有効データ先頭ブロックレジスタ $T O P$ の値や有効データ最終ブロックアドレスレジスタ $E N D$ の値は、ヘッダレジスタ $H E A D$ やヘッダ $L B A$ レジスタ $I N L B A$ を介して復調回路 1 0 3 から転送されたものである。

10

20

30

40

50

[0089] 上記第 2 比較回路 6 2 での比較において次式が成立するとき、データは一致した、とみなされる。

[0090]

[数3] $T O P \leq L B A \leq E N D$

[0091] 上式が成立する場合には、一致した論理ブロックアドレスに対応するバッファメモリアドレスを、演算器 $B M A R$ で算出して、それをスタートアドレスレジスタ $A S T A R$ に転送する。演算器 $B M A R$ での演算は次式で示される。

[0092]

[数4] $A S T A R = T O P S R + (L B A - T O P) \times R S I Z E$

[0093] ここで、 $R S I Z E$ は、バッファメモリ 6 1 1 の繰り返し周期である。例えば、CD-ROMの場合、メインデータ 2 3 5 2 バイトと、イメージフラグ 2 9 4 バイトと、サブコード 9 6 バイトを含むように適当な値を探るようにする。

[0094] さらに、パケットコマンドに含まれる転送長をパケットコマンドレジスタの第 6 ~ 9 バイト ($p k t 6 \sim 9$) または第 7 ~ 8 バイト ($p k t 7 \sim 8$) から出し、ブロック数が算出される。例えば、データの単位 $A B S Z$ が 2 0 4 8 バイトの場合、下位 1 ビットが無視され、あるいはブロックサイズレジスタ $A B S Z$ で除算が行われる。パケットコマンドレジスタからの転送長の出力方法は、自動化するオペレーションコードによって、自動的に決まるようとする。このため、上記先頭論理ブロックアドレスをインクリメント $I N C$ によって上記ブロック数分インクリメントした後に、第 2 比較回路 6 2 において、有効データ先頭ブロックレジスタ $T O P$ の値及び有効データ最終ブロックレジスタ $E N D$ の値と比較する。この比較において一致しているデータブロックの個数を算出し、それをブロックカウントレジスタ $A B C N T$ に設定する。これが終了すると、転送モードレジスタ $A D T M O D$ の所定のスタートビットがセットされて転送制御回路 6 8 に、データ転送の開始が指示される。転送制御回路 6 8 は、転送モードレジスタ $A D T M O D$ 、ブロックサイズレジスタ $A B S Z$ 、転送開始バッファメモリアドレス $A S T A R$ 、ブロックカウントレジスタ $A B C N T$ に従ったデータ転送が行われる。

[0095] また、割り込み要因フラグレジスタ $i n t s r$ へのフラグセットに基づいて、マイクロコンピュータ 6 1 3 に割り込みが要求される。マイクロコンピュータ 6 1 3 は、パケットコマンドの内容と、上記 $A D T M O D$ 、 $A B S Z$ 、 $A S T A R$ 、 $A B C N T$ の内容を検査して所要の処理、例えば、光ディスク 6 0 1 から読み出しが完了した旨を示すようにする。

[0096] 特に制限はされないが、要求されたデータの全てが一致したか否かによって、データ転送終了後に、所定のステータスを表示するようとする。全てが一致した場合には、データ転送終了後に、 $B S Y = 0$ 、 D

【0110】(1) パケットコマンドなどのコマンド入力のレジスタ群を持つとともに、上記パケットコマンドにおけるオペレーションコードなどの動作を指示する部分を解説する手段として判定回路60を設け、この判定回路60のハードウェアにより上記オペレーションコードなどの動作を指示する部分の解説を行い、その解説結果に基づいて異なる割り込み要因フラグをセットするようにしているので、直接、マイクロコンピュータ613でオペレーションコードを判定するに比べて、パケットコマンドに基づく処理を効率的に行なうことができる。また、マイクロコンピュータ613が信号処理用半導体集積回路610と單一の基板上に形成される場合などには、割り込み要求信号のビット数を増加することにより、互いに独立した割り込み信号として多数の割り込み要求を許容することができる。そして独立した割り込み要求信号は、互いに独立したベクタとすることができ、それは所要の処理ルーチンに即座に分岐することができる。また、上記解説結果を分岐アドレス生成に利用可能な情報として所定レジスタにセッティングし、このレジスタから解説結果をリードして分岐アドレスを生成することにより、マイクロコンピュータ613による判定処理を不要とし、所要の処理ルーチンへの分岐を容易に行ない、更に処理を効率化することができる。判定や条件分岐の数を減らすことができ、プログラム容量の縮小や間発効率の向上にも寄与することができる。

【0111】(2) 割り込み要因フラグや、解説結果レジスタに反映するオペレーションコードを設定可能にすることにより、使用者やシステム毎の仕様に応じて内部処理の高速化を図ることができる。

【0112】(3) 更に、バッファメモリ上のデータのアドレス情報を、パケットコマンドにおけるアドレス情報を比較する手段と、バッファメモリ上の物理的なアドレスを生成する手段を持ち、バッファメモリ上のデータを転送する場合を検出して自動的に転送を開始することを可能にし、処理速度を向上することができる。

【0113】(4) パケットコマンドにおけるオペレーションコードなどの動作を指示する部分を解説し、更にデータ転送を自動的に開始することによって、記憶装置としての光ディスクドライブ装置のアクセス時間と短縮することができると共に、光ディスクの再生とホストへのデータ転送を順次行うといった、いわゆるシーケンシャルリードを高速化し、平均的な速度も向上することができる。

【0114】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0115】例えば、オペレーションコードをデコードする場合、設定するオペレーションコードの数や、チャネルと割り込み要因フラグの数などは、任意にすること

ができる。

【0116】自動転送を行なうコマンドやデータ転送方法は、任意に設定可能である他、システムの仕様に合わせて適宜に固定することもできる。例えば、コマンドはリードコマンドのみ、ブロックサイズレジスタA B S Zは2048バイト固定、ホストデータ転送方式はウルトラDMA(ダイレクトメモリアクセス)のみ、などとすることで全体の論理規模を縮小することができる。

【0117】バッファメモリ611をリングバッファ構成としても良い。

【0118】CD-ROMなどの既知のフォーマットについては、メモリ上の配置を固定的に、モードやフォームを指定することで、スタートアドレスレジスタA S T S RやブロックサイズレジスタA B S Zなどを自動的に設定するようにもよい。

【0119】データ転送の詳細については、詳細な説明を省略したが、これらは公知の技術によって構成できる。

【0120】ホストインターフェースとバッファメモリコントローラ、或いは、復調回路などの機能分割なども任意にできる。

【0121】復調回路や復号回路については、詳細な説明を省略したが、これらは想定する媒体に従って、適宜、適当な仕様や論理構成を探ることができる。

【0122】マイクロコンピュータは、別個の半導体集積回路としているが、單一の半導体集積回路に集積する也可能である。この場合は、割り込み要因フラグ毎に独立した割り込み要求信号をもって、異なるベクタを使用するようにすることで、使い勝手をさらに向上することができる。

【0123】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である光ディスクドライブ装置に適用した場合について説明したが、それに限定されるものではなく、各種電子回路装置に広く適用することができる。

【0124】本発明は、少なくともデジタル信号を取り扱うことを条件に適用することができる。

【0125】【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0126】すなわち、判定回路での判定はマイクロコンピュータとは別のハードウェアによる判定であり、上記マイクロコンピュータでの判定よりも短時間で完了することができる。また、上記判定回路での判定を、上記マイクロコンピュータとは別のハードウェアで行なうことで、上記マイクロコンピュータの負荷を軽減することができるため、コマンドによって指示された処理の高速化を図ることができる。これにより、光ディスクドライブ

装置においては、データ読み出しの高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかる光ディスクドライブ装置に含まれる信号処理用半導体集積回路の構成例ブロック図である。

【図2】上記光ディスクドライブ装置の全体的な構成例ブロック図である。

【図3】上記光ディスクドライブ装置において、ATA P/Iインターフェースによるデータ転送コマンドが入力された場合の動作を示すフローチャートである。

【図4】割り込みに関するものとして上記信号処理用半導体集積回路に含まれる内部レジスタの説明図である。

【図5】データ転送に関するものとして上記信号処理用半導体集積回路に含まれる内部レジスタの説明図である。

【図6】上記信号処理用半導体集積回路に含まれる判定回路及びホストインターフェース回路についての構成例ブロック図である。

【図7】上記光ディスクドライブ装置に含まれるバッファメモリ上でのデータ構成例の説明図である。

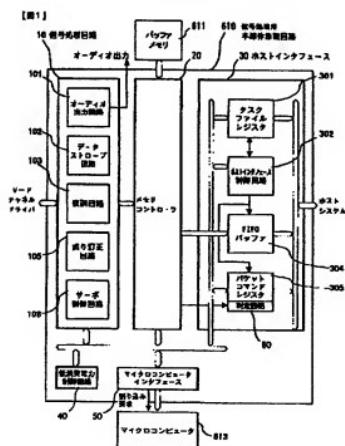
【図8】上記信号処理用半導体集積回路の概略動作タイミング図である。

* 【符号の説明】

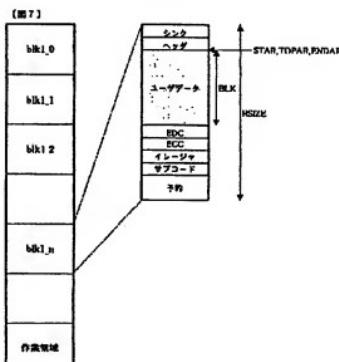
- 10 1.0 信号処理回路
- 2.0 メモリコントローラ
- 3.0 ホストインターフェース
- 4.0 低消費電力制御回路
- 5.0 マイクロコンピュータインターフェース
- 6.0 判定回路
- 6.1 第1比較回路
- 6.2 第2比較回路
- 10.1 オーディオ出力回路
- 10.2 データストローブ回路
- 10.3 復調回路
- 10.5 読り訂正回路
- 10.6 サーボ制御回路
- 30.1 タスクファイルレジスタ
- 30.2 ホストインターフェース制御回路
- 30.4 FIFOバッファ
- 30.5 パケットコマンドレジスタ
- 6.0 光ディスクドライブ装置
- 6.10 信号処理用半導体集積回路
- 6.11 バッファメモリ
- 6.13 マイクロコンピュータ

*

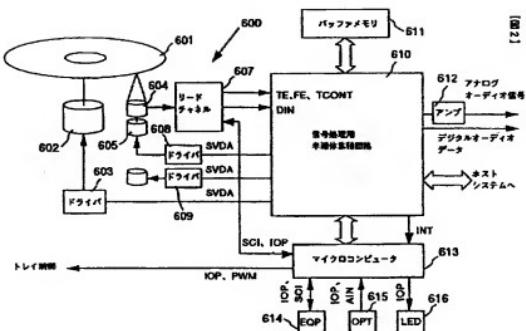
【図1】



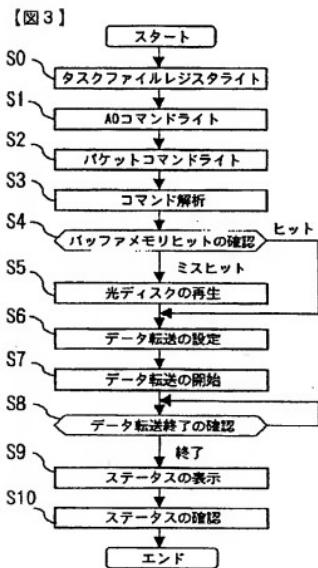
【図7】



【図2】



【図3】

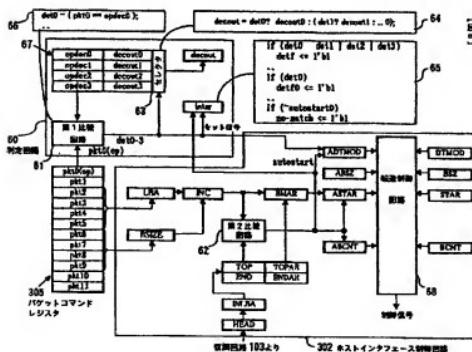


[图4]

[图5]

[図5]			
接続端子	レジスター	記号	機能
データ転送	送信データ	DTMOD	送信動作判定
	受信データ	BSZ	データバッファ
	受信確認アドレス	STA1	受信確認バッファモアリアドレス
	プロトコルタクツ	UCNT2	ネットワークタクツ
自動	データ送込セード	ADTMOD	自動送込セードの駆動動作判定
	データ受取セード	ARHSZ	自動受取セードのデータ記憶判定
	データ送込モードアドレス	ASTAR	自動送込モードのセード用バッファモアリアドレス
	データ受取モードアドレス	ARCVT	自動受取モードの受取用バッファ
パックフ モモリ	有線端子データブロック	TOP	有線端子データバッファブロックアドレス
	無線端子データアドレス	TOPAR	無線端子データバッファモアリアドレス
	有線端子データブロック	END	有線端子データバッファブロックアドレス
	無線端子データアドレス	ENDAR	無線端子データバッファモアリアドレス
接続端子	ヘッドレスタ	I HEAD	モニターヘッドレス接続
	ヘッドマスク	INLBA	ヘッドマスク接続
	ヘッドマスク	INLSA	ヘッドマスク接続

【图6】



【図8】

